

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shou Nagao et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : January 14, 2004
Title : PULSE OUTPUT CIRCUIT, SHIFT REGISTER AND ELECTRONIC
EQUIPMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2003-010381 filed January 17, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: January 14, 2004



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月17日
Date of Application:

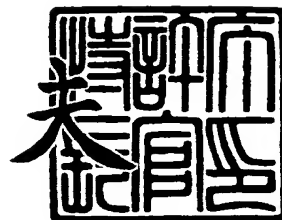
出願番号 特願2003-010381
Application Number:
[ST. 10/C]: [JP2003-010381]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 P006909

【提出日】 平成15年 1月17日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 長尾 祥

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 棚田 好文

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 塩野入 豊

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 三宅 博之

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 パルス出力回路、シフトレジスタ、および電子機器

【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 の入力端子と、出力端子と、
第 1 の電極が前記第 1 の入力端子と電氣的に接続された第 1 のトランジスタと、
第 1 の電極が第 1 の電源と電氣的に接続された第 2 のトランジスタと、
第 1 および第 2 の振幅補償回路と、
容量手段とを有するパルス出力回路であって、
前記第 1 および第 2 のトランジスタはいずれも同一導電型であり、
前記第 1 のトランジスタの第 2 の電極と、前記第 2 のトランジスタの第 2 の電極とは、いずれも前記出力端子と電氣的に接続され、
前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間に設けられ、
前記第 1 のトランジスタのゲート電極は、前記第 1 の振幅補償回路の出力端子と電氣的に接続され、
前記第 2 のトランジスタのゲート電極は、前記第 2 の振幅補償回路の出力端子と電氣的に接続され、
前記第 2 の入力端子は、前記第 1 の振幅補償回路の入力端子および、前記第 2 の振幅補償回路の第 1 の入力端子と電氣的に接続され、
前記第 3 の入力端子は、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続されたことを特徴とするパルス出力回路。

【請求項 2】

第 1 乃至第 3 の入力端子と、出力端子と、
第 1 の電極が前記第 1 の入力端子と電氣的に接続された第 1 のトランジスタと、
第 1 の電極が第 1 の電源と電氣的に接続された第 2 のトランジスタと、
第 1 および第 2 の振幅補償回路と、
容量手段と、

走査方向切替回路とを有するパルス出力回路であって、

前記第 1 および第 2 のトランジスタはいずれも同一導電型であり、

前記第 1 のトランジスタの第 2 の電極と、前記第 2 のトランジスタの第 2 の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間に設けられ、

前記第 1 のトランジスタのゲート電極は、前記第 1 の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、前記第 2 の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 の入力端子は、前記走査方向切替回路を介して、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子、または、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続され、

前記第 3 の入力端子は、前記走査方向切替回路を介して、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子、または、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続され、

前記走査方向切替回路が第 1 の状態をとるとき、前記第 2 の入力端子に入力される信号は、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子に入力され、前記第 3 の入力端子に入力される信号は、前記第 2 の振幅補償回路の第 2 の入力端子に入力され、

前記走査方向切替回路が第 2 の状態をとるとき、前記第 2 の入力端子に入力される信号は、前記第 2 の振幅補償回路の第 2 の入力端子に入力され、前記第 3 の入力端子に入力される信号は、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子に入力されることを特徴とするパルス出力回路。

【請求項 3】

第 1 乃至第 4 の入力端子と、出力端子と、

第 1 の電極が前記第 1 の入力端子と電氣的に接続された第 1 のトランジスタと

第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、
第1の電極が第2の電源と電氣的に接続された第3のトランジスタと
第1および第2の振幅補償回路と、
容量手段とを有するパルス出力回路であって、
前記第1乃至第3のトランジスタはいずれも同一導電型であり、
前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、
前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、
前記第1のトランジスタのゲート電極は、前記第1の振幅補償回路の出力端子と電氣的に接続され、
前記第2のトランジスタのゲート電極は、前記第2の振幅補償回路の出力端子と電氣的に接続され、
前記第2の入力端子は、前記第1の振幅補償回路の入力端子および、前記第2の振幅補償回路の第1の入力端子と電氣的に接続され、
前記第3の入力端子は、前記第2の振幅補償回路の第2の入力端子と電氣的に接続され、
前記第4の入力端子は、前記第3のトランジスタのゲート電極と電氣的に接続され、
前記第3のトランジスタの第2の電極は、前記第2のトランジスタのゲート電極と電氣的に接続されたことを特徴とするパルス出力回路。

【請求項4】

第1乃至第3の入力端子と、出力端子と、
第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと、
第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、
第1の電極が第2の電源もしくはゲート電極と電氣的に接続された第3のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第4のトランジスタと、

第1の電極が前記第2の電源と電氣的に接続された第5のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第6のトランジスタと、
容量手段とを有するパルス出力回路であって、
前記第1乃至第6のトランジスタはいずれも同一導電型であり、
前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、
前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、
前記第3のトランジスタの第2の電極と、前記第4のトランジスタの第2の電極とは、いずれも前記第1のトランジスタのゲート電極と電氣的に接続され、
前記第5のトランジスタの第2の電極と、前記第6のトランジスタの第2の電極とは、いずれも前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、
前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも前記第2の入力端子と電氣的に接続され、
前記第5のトランジスタのゲート電極は、前記第3の入力端子と電氣的に接続されたことを特徴とするパルス出力回路。

【請求項5】

第1乃至第3の入力端子と、出力端子と、
第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと、
第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、
第1の電極が第2の電源もしくはゲート電極と電氣的に接続された第3のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第4のトランジスタと、
第1の電極が前記第2の電源と電氣的に接続された第5のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第6のトランジスタと、
容量手段と、
走査方向切替回路とを有するパルス出力回路であって、

前記第1乃至第6のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、

前記第3のトランジスタの第2の電極と、前記第4のトランジスタの第2の電極とは、いずれも前記第1のトランジスタのゲート電極と電氣的に接続され、

前記第5のトランジスタの第2の電極と、前記第6のトランジスタの第2の電極とは、いずれも前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、

前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とはいずれも、前記走査方向切替回路を介して、前記第2の入力端子または前記第3の入力端子と電氣的に接続され、

前記第5のトランジスタのゲート電極は、前記走査方向切替回路を介して、前記第2の入力端子または前記第3の入力端子と電氣的に接続され、

前記走査方向切替回路が第1の状態をとるとき、前記第2の入力端子に入力される信号は、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極に入力され、前記第3の入力端子に入力される信号は、前記第5のトランジスタのゲート電極に入力され、

前記走査方向切替回路が第2の状態をとるとき、前記第2の入力端子に入力される信号は、前記第5のトランジスタのゲート電極に入力され、前記第3の入力端子に入力される信号は、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極に入力されることを特徴とするパルス出力回路。

【請求項6】

第1乃至第4の入力端子と、出力端子と、

第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと

第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、

第1の電極が第2の電源もしくはゲート電極と電氣的に接続された第3のトラ

ンジスタと、

第1の電極が前記第1の電源と電氣的に接続された第4のトランジスタと、

第1の電極が前記第2の電源と電氣的に接続された第5のトランジスタと、

第1の電極が前記第1の電源と電氣的に接続された第6のトランジスタと、

第1の電極が前記第2の電源と電氣的に接続された第7のトランジスタと、

容量手段とを有するパルス出力回路であって、

前記第1乃至第7のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、

前記第3のトランジスタの第2の電極と、前記第4のトランジスタの第2の電極とは、いずれも前記第1のトランジスタのゲート電極と電氣的に接続され、

前記第5のトランジスタの第2の電極と、前記第6のトランジスタの第2の電極と、前記第7のトランジスタの第2の電極とは、いずれも前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、

前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも前記第2の入力端子と電氣的に接続され、

前記第5のトランジスタのゲート電極は、前記第3の入力端子と電氣的に接続され、

前記第7のトランジスタのゲート電極は、前記第4の入力端子と電氣的に接続されたことを特徴とするパルス出力回路。

【請求項7】

請求項4または請求項5において、

前記パルス出力回路は、第7のトランジスタを有し、

前記第7のトランジスタのゲート電極は、前記第2の電源と電氣的に接続され、

前記第3のトランジスタの出力電極と、前記第1のトランジスタのゲート電極

との間に設けられたことを特徴とするパルス出力回路。

【請求項 8】

請求項 6 において、

前記パルス出力回路は、第 8 のトランジスタを有し、

前記第 8 のトランジスタのゲート電極は、前記第 2 の電源と電氣的に接続され

、

前記第 3 のトランジスタの出力電極と、前記第 1 のトランジスタのゲート電極との間に設けられたことを特徴とするパルス出力回路。

【請求項 9】

請求項 4 または請求項 5 において、

前記パルス出力回路は、ゲート電極と第 1 の電極とが接続された第 7 のトランジスタと、

第 1 の電極が前記第 1 の電源と電氣的に接続された第 8 のトランジスタを有し、

前記第 7 のトランジスタは、前記第 3 のトランジスタの出力電極と、前記第 1 のトランジスタのゲート電極との間に設けられ、

前記第 8 のトランジスタのゲート電極は、前記第 2 のトランジスタのゲート電極および、前記第 4 のトランジスタのゲート電極と電氣的に接続され、第 2 の電極は、前記第 1 のトランジスタのゲート電極と電氣的に接続されたことを特徴とするパルス出力回路。

【請求項 10】

請求項 6 において、

前記パルス出力回路は、ゲート電極と第 1 の電極とが接続された第 8 のトランジスタと、

第 1 の電極が前記第 1 の電源と電氣的に接続された第 9 のトランジスタを有し、

前記第 8 のトランジスタは、前記第 3 のトランジスタの出力電極と、前記第 1 のトランジスタのゲート電極との間に設けられ、

前記第 9 のトランジスタのゲート電極は、前記第 2 のトランジスタのゲート電極および、前記第 4 のトランジスタのゲート電極と電氣的に接続され、第 2 の電極は、前記第 1 のトランジスタのゲート電極と電氣的に接続されたことを特徴と

するパルス出力回路。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、
前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間の容量を用いることを特徴とするパルス出力回路。

【請求項 12】

請求項 1 乃至請求項 10 のいずれか 1 項において、
前記容量手段は、活性層材料、ゲート電極を形成する材料、または配線材料から選ばれたいずれか 2 つのそれぞれでなる第 1 膜および第 2 膜と、前記第 1 膜および第 2 膜との間に設けられた絶縁膜とによって形成された容量を用いることを特徴とするパルス出力回路。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか 1 項に記載のパルス出力回路を複数段用いてなることを特徴とするシフトレジスタ。

【請求項 14】

請求項 1 乃至請求項 12 のいずれか 1 項に記載のパルス出力回路、または請求項 13 に記載のシフトレジスタを用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パルス出力回路、シフトレジスタ、および表示装置に関する。

【0002】

【従来の技術】

近年、絶縁体上、特にガラス、プラスチック基板上に半導体薄膜を用いてなる薄膜トランジスタ(以下、TFTと表記する)を用いて回路を形成した表示装置、特にアクティブマトリクス型の表示装置の開発が進んでいる。TFTを用いて形成されたアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって、各画素の電荷を制御することによって映像の表示を行っている。

【 0 0 0 3 】

さらに最近の技術として、アモルファス T F T に代わり、電気的特性に優れるポリシリコン T F T を用いて、画素を構成する画素 T F T の他に、画素部の周辺領域に T F T を用いて駆動回路を同時形成するといった方式が発展してきており、装置の軽薄短小化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しい携帯情報端末の表示部等には不可欠なデバイスとなってきた。

【 0 0 0 4 】

一般的に、表示装置の駆動回路を構成する回路としては、N 型 T F T と P 型 T F T とを組み合わせた C M O S 回路が使用されている。C M O S 回路の特徴としては、論理が変化する (H レベルから L レベル、あるいは L レベルから H レベル) 瞬間にのみ電流が流れ、ある論理の保持中には、理想的には電流が流れない (実際には微小なリーク電流の存在がある) ため、回路全体での消費電力を非常に低く抑えることが可能な点、また互いの極性の T F T が相補的に動作するため、高速動作が可能な点が挙げられる。

【 0 0 0 5 】

しかし、製造工程を考えると、C M O S 回路は、イオンドーピング工程等が複雑になるため、その工程数の多さが製造コストに直接影響を与えている。そこで、従来 C M O S 回路によって構成されていた回路を、N 型、P 型いずれかの単極性の T F T を用いて構成し、かつ C M O S 回路と同程度の高速動作を実現したものが提案されている (例えば、特許文献 1 参照)。

【 0 0 0 6 】

特許文献 1 記載の回路は、図 2 (A) ~ (C) に示すように、出力端子に接続されている T F T 2 0 5 のゲート電極を、一時的に浮遊状態とすることによって、T F T 2 0 5 のゲート・ソース間の容量結合を利用し、そのゲート電極の電位を、電源電位よりも高い電位とすることが出来る。結果として、T F T 2 0 5 のしきい値に起因した電圧降下を生ずることなく、振幅減衰のない出力が得られるものである。

【 0 0 0 7 】

このような、T F T 2 0 5 における動作は、ブートストラップ動作と呼ばれる。この動作により、T F T のしきい値に起因した電圧降下を生ずることなく、出力パルスを得ることが出来る。

【 0 0 0 8 】

【特許文献 1】

特開 2 0 0 1 - 3 3 5 1 5 3 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

図 2 (B) に示したパルス出力回路の、出力ノードの電位に注目する。図 2 (C) は、図 2 (A) に示したシフトレジスタの動作タイミングを示したものであるが、ある段において、パルスの入出力がない期間においては、図 2 (B) に示したパルス出力回路において、入力端子 2 および 3 の電位は L レベルとなる。すなわち、T F T 2 0 1 ~ 2 0 4 がいずれも O F F となる。よって、T F T 2 0 5、2 0 6 のゲート電極はいずれも浮遊状態となる。

【 0 0 1 0 】

このとき、入力端子 1、すなわち T F T 2 0 5 の第 1 の電極であるドレイン領域(ここでは、T F T 2 0 5 のソース・ドレイン領域は、その電位の低い方をソース領域、高い方をドレイン領域と表記する)には、クロック信号 C K 1 もしくは C K 2 が入力されている。浮遊状態となった T F T 2 0 5 のゲート電極の電位、すなわちノード α の電位は、ドレイン領域との容量結合により、クロック信号に追従して、図 2 (C) において 2 5 0 で示すように、ノイズ様の電位の変動を生ずる。

【 0 0 1 1 】

この電位変動は、正常なパルスの振幅に比較するとはるかに小さいため、電源電圧 (V D D - V S S 間の電位差) が大きい場合にはそれほど問題とはならない。つまり、このノイズ様の電位変動によって、T F T 2 0 5 が誤動作する心配は小さいが、低消費電力化等を考慮して低電圧動作を視野に入れた場合、誤動作の原因となる可能性が高い。

【 0 0 1 2 】

本発明は前述の課題を鑑みてなされたものであり、回路内のノイズを低減し、より確実な動作を保証するパルス出力回路、およびシフトレジスタを提供することを目的とする。

【0013】

【課題を解決するための手段】

課題を解決するため、本発明においては以下のような手段を講じた。

【0014】

パルス出力回路のノード α において、パルス出力が無い期間にノイズ様の電位の変動が生ずる原因として、TFT205、206がいずれも浮遊状態となり、さらにこのTFT205のドレイン領域に、クロック信号のように振幅を有する信号の入力がある点を挙げた。

【0015】

そこで本発明においては、TFT205のように、クロック信号等の振幅を有する信号に接続されたTFTが、パルス出力が無い期間にもON、OFFが確定する構成とする。

【0016】

なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、エレクトロルミネッセンス(EL)素子を始めとした発光素子を用いてなる表示装置を含むものとする。表示装置の駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ、インバータ等を始めとするパルス出力回路や、アンプ等を始めとする増幅回路を含むものとする。

【0017】

本発明のパルス出力回路は、

第1乃至第3の入力端子と、出力端子と、

第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと、

第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、

第1および第2の振幅補償回路と、

容量手段とを有するパルス出力回路であって、

前記第1および第2のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、

前記第1のトランジスタのゲート電極は、前記第1の振幅補償回路の出力端子と電氣的に接続され、

前記第2のトランジスタのゲート電極は、前記第2の振幅補償回路の出力端子と電氣的に接続され、

前記第2の入力端子は、前記第1の振幅補償回路の入力端子および、前記第2の振幅補償回路の第1の入力端子と電氣的に接続され、

前記第3の入力端子は、前記第2の振幅補償回路の第2の入力端子と電氣的に接続されたことを特徴とする。

【0018】

本発明のパルス出力回路は、

第1乃至第3の入力端子と、出力端子と、

第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと

、第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、

第1および第2の振幅補償回路と、

容量手段と、

走査方向切替回路とを有するパルス出力回路であって、

前記第1および第2のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、

前記第1のトランジスタのゲート電極は、前記第1の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、前記第 2 の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 の入力端子は、前記走査方向切替回路を介して、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子、または、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続され、

前記第 3 の入力端子は、前記走査方向切替回路を介して、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子、または、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続され、

前記走査方向切替回路が第 1 の状態をとるとき、前記第 2 の入力端子に入力される信号は、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子に入力され、前記第 3 の入力端子に入力される信号は、前記第 2 の振幅補償回路の第 2 の入力端子に入力され、

前記走査方向切替回路が第 2 の状態をとるとき、前記第 2 の入力端子に入力される信号は、前記第 2 の振幅補償回路の第 2 の入力端子に入力され、前記第 3 の入力端子に入力される信号は、前記第 1 の振幅補償回路の入力端子および前記第 2 の振幅補償回路の第 1 の入力端子に入力されることを特徴とする。

【0 0 1 9】

本発明のパルス出力回路は、

第 1 乃至第 4 の入力端子と、出力端子と、

第 1 の電極が前記第 1 の入力端子と電氣的に接続された第 1 のトランジスタと

第 1 の電極が第 1 の電源と電氣的に接続された第 2 のトランジスタと、

第 1 の電極が第 2 の電源と電氣的に接続された第 3 のトランジスタと

第 1 および第 2 の振幅補償回路と、

容量手段とを有するパルス出力回路であって、

前記第 1 乃至第 3 のトランジスタはいずれも同一導電型であり、

前記第 1 のトランジスタの第 2 の電極と、前記第 2 のトランジスタの第 2 の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間に

設けられ、

前記第 1 のトランジスタのゲート電極は、前記第 1 の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、前記第 2 の振幅補償回路の出力端子と電氣的に接続され、

前記第 2 の入力端子は、前記第 1 の振幅補償回路の入力端子および、前記第 2 の振幅補償回路の第 1 の入力端子と電氣的に接続され、

前記第 3 の入力端子は、前記第 2 の振幅補償回路の第 2 の入力端子と電氣的に接続され、

前記第 4 の入力端子は、前記第 3 のトランジスタのゲート電極と電氣的に接続され、

前記第 3 のトランジスタの第 2 の電極は、前記第 2 のトランジスタのゲート電極と電氣的に接続されたことを特徴とする。

【 0 0 2 0 】

本発明のパルス出力回路は、

第 1 乃至第 3 の入力端子と、出力端子と、

第 1 の電極が前記第 1 の入力端子と電氣的に接続された第 1 のトランジスタと

、

第 1 の電極が第 1 の電源と電氣的に接続された第 2 のトランジスタと、

第 1 の電極が第 2 の電源もしくはゲート電極と電氣的に接続された第 3 のトランジスタと、

第 1 の電極が前記第 1 の電源と電氣的に接続された第 4 のトランジスタと、

第 1 の電極が前記第 2 の電源と電氣的に接続された第 5 のトランジスタと、

第 1 の電極が前記第 1 の電源と電氣的に接続された第 6 のトランジスタと、

容量手段とを有するパルス出力回路であって、

前記第 1 乃至第 6 のトランジスタはいずれも同一導電型であり、

前記第 1 のトランジスタの第 2 の電極と、前記第 2 のトランジスタの第 2 の電極とは、いずれも前記出力端子と電氣的に接続され、

前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間に

設けられ、

前記第3のトランジスタの第2の電極と、前記第4のトランジスタの第2の電極とは、いずれも前記第1のトランジスタのゲート電極と電氣的に接続され、

前記第5のトランジスタの第2の電極と、前記第6のトランジスタの第2の電極とは、いずれも前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、

前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも前記第2の入力端子と電氣的に接続され、

前記第5のトランジスタのゲート電極は、前記第3の入力端子と電氣的に接続されたことを特徴とする。

【0021】

また、前記パルス出力回路は、第7のトランジスタを有し、

前記第7のトランジスタのゲート電極は、前記第2の電源と電氣的に接続され、

、

前記第3のトランジスタの出力電極と、前記第1のトランジスタのゲート電極との間に設けられていても良い。

【0022】

また、前記パルス出力回路は、ゲート電極と第1の電極とが接続された第7のトランジスタと、

第1の電極が前記第1の電源と電氣的に接続された第8のトランジスタを有し、

前記第7のトランジスタは、前記第3のトランジスタの出力電極と、前記第1のトランジスタのゲート電極との間に設けられ、

前記第8のトランジスタのゲート電極は、前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、第2の電極は、前記第1のトランジスタのゲート電極と電氣的に接続されていても良い。

【0023】

本発明のパルス出力回路は、

第1乃至第3の入力端子と、出力端子と、

第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと

第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、
第1の電極が第2の電源もしくはゲート電極と電氣的に接続された第3のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第4のトランジスタと、
第1の電極が前記第2の電源と電氣的に接続された第5のトランジスタと、
第1の電極が前記第1の電源と電氣的に接続された第6のトランジスタと、
容量手段と、
走査方向切替回路とを有するパルス出力回路であって、
前記第1乃至第6のトランジスタはいずれも同一導電型であり、
前記第1のトランジスタの第2の電極と、前記第2のトランジスタの第2の電極とは、いずれも前記出力端子と電氣的に接続され、
前記容量手段は、前記第1のトランジスタのゲート電極と第2の電極との間に設けられ、
前記第3のトランジスタの第2の電極と、前記第4のトランジスタの第2の電極とは、いずれも前記第1のトランジスタのゲート電極と電氣的に接続され、
前記第5のトランジスタの第2の電極と、前記第6のトランジスタの第2の電極とは、いずれも前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、
前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とはいずれも、前記走査方向切替回路を介して、前記第2の入力端子または前記第3の入力端子と電氣的に接続され、
前記第5のトランジスタのゲート電極は、前記走査方向切替回路を介して、前記第2の入力端子または前記第3の入力端子と電氣的に接続され、
前記走査方向切替回路が第1の状態をとるとき、前記第2の入力端子に入力される信号は、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極に入力され、前記第3の入力端子に入力される信号は、前記第5のトランジスタのゲート電極に入力され、
前記走査方向切替回路が第2の状態をとるとき、前記第2の入力端子に入力さ

れる信号は、前記第5のトランジスタのゲート電極に入力され、前記第3の入力端子に入力される信号は、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極に入力されることを特徴とする。

【0024】

また、前記パルス出力回路は、第7のトランジスタを有し、
前記第7のトランジスタのゲート電極は、前記第2の電源と電氣的に接続され、

前記第3のトランジスタの出力電極と、前記第1のトランジスタのゲート電極との間に設けられていても良い。

【0025】

また、前記パルス出力回路は、ゲート電極と第1の電極とが接続された第7のトランジスタと、

第1の電極が前記第1の電源と電氣的に接続された第8のトランジスタを有し、

前記第7のトランジスタは、前記第3のトランジスタの出力電極と、前記第1のトランジスタのゲート電極との間に設けられ、

前記第8のトランジスタのゲート電極は、前記第2のトランジスタのゲート電極および、前記第4のトランジスタのゲート電極と電氣的に接続され、第2の電極は、前記第1のトランジスタのゲート電極と電氣的に接続されていても良い。

【0026】

本発明のパルス出力回路は、

第1乃至第4の入力端子と、出力端子と、

第1の電極が前記第1の入力端子と電氣的に接続された第1のトランジスタと、

第1の電極が第1の電源と電氣的に接続された第2のトランジスタと、

第1の電極が第2の電源もしくはゲート電極と電氣的に接続された第3のトランジスタと、

第1の電極が前記第1の電源と電氣的に接続された第4のトランジスタと、

第1の電極が前記第2の電源と電氣的に接続された第5のトランジスタと、

第1の電極が前記第1の電源と電氣的に接続された第6のトランジスタと、

第 1 の電極が前記第 2 の電源と電氣的に接続された第 7 のトランジスタと、
容量手段とを有するパルス出力回路であって、
前記第 1 乃至第 7 のトランジスタはいずれも同一導電型であり、
前記第 1 のトランジスタの第 2 の電極と、前記第 2 のトランジスタの第 2 の電極とは、いずれも前記出力端子と電氣的に接続され、
前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間に設けられ、
前記第 3 のトランジスタの第 2 の電極と、前記第 4 のトランジスタの第 2 の電極とは、いずれも前記第 1 のトランジスタのゲート電極と電氣的に接続され、
前記第 5 のトランジスタの第 2 の電極と、前記第 6 のトランジスタの第 2 の電極と、前記第 7 のトランジスタの第 2 の電極とは、いずれも前記第 2 のトランジスタのゲート電極および、前記第 4 のトランジスタのゲート電極と電氣的に接続され、
前記第 3 のトランジスタのゲート電極と、前記第 6 のトランジスタのゲート電極とは、いずれも前記第 2 の入力端子と電氣的に接続され、
前記第 5 のトランジスタのゲート電極は、前記第 3 の入力端子と電氣的に接続され、
前記第 7 のトランジスタのゲート電極は、前記第 4 の入力端子と電氣的に接続されたことを特徴とする。

【 0 0 2 7 】

また、前記パルス出力回路は、第 8 のトランジスタを有し、
前記第 8 のトランジスタのゲート電極は、前記第 2 の電源と電氣的に接続され、
前記第 3 のトランジスタの出力電極と、前記第 1 のトランジスタのゲート電極との間に設けられていても良い。

【 0 0 2 8 】

また、前記パルス出力回路は、ゲート電極と第 1 の電極とが接続された第 8 のトランジスタと、
第 1 の電極が前記第 1 の電源と電氣的に接続された第 9 のトランジスタを有し、

前記第 8 のトランジスタは、前記第 3 のトランジスタの出力電極と、前記第 1 のトランジスタのゲート電極との間に設けられ、

前記第 9 のトランジスタのゲート電極は、前記第 2 のトランジスタのゲート電極および、前記第 4 のトランジスタのゲート電極と電氣的に接続され、第 2 の電極は、前記第 1 のトランジスタのゲート電極と電氣的に接続されていても良い。

【0029】

本発明において、

前記容量手段は、前記第 1 のトランジスタのゲート電極と第 2 の電極との間の容量を用いても良い。

【0030】

本発明において、

前記容量手段は、活性層材料、ゲート電極を形成する材料、または配線材料から選ばれたいずれか 2 つのそれぞれでなる第 1 膜および第 2 膜と、前記第 1 膜および第 2 膜との間に設けられた絶縁膜とによって形成された容量を用いても良い。

【0031】

本発明のパルス出力回路を複数段用いて、例えばシフトレジスタが提供される。

【0032】

【発明の実施の形態】

図 1 (A) は、本発明のパルス出力回路 100 を複数段用いてなるシフトレジスタを示しており、第 1 のクロック信号 CK1、第 2 のクロック信号 CK2、スタートパルス SP を制御信号として動作する。パルス出力回路 100 の構成を図 1 (B) に示す。TF T101～106 および、容量手段 107 を有する。点線枠 110 で囲まれた部分は第 1 の振幅補償回路であり、TF T101、102 で構成される。点線枠 120 で囲まれた部分は第 2 の振幅補償回路であり、TF T103、104 で構成される。容量手段 107 は、TF T105 のゲート・ソース間に設けられている。特許文献 1 に記載の従来例と比較して、TF T102 の接続および動作が異なる。

【0033】

動作について説明する。図1(C)に示すように、CK1、CK2、SPが入力される。このとき、CK1、CK2、SPの信号振幅は、HレベルのときVDD、LレベルのときVSS(簡単のため、 $VSS=0$ と考える)であるとする。SPがHレベルとなって、TFT101、104がONし、TFT105のゲート電極の電位、すなわちノード α の電位は上昇し、TFT102、106のゲート電極の電位は下降する。TFT103のゲート電極は、このときLレベルとなっており、OFFしている。

【0034】

TFT102、106のゲート電極の電位は、VSSまで下降し、TFT102、106はOFFする。一方、ノード α の電位は、 $VDD - V_{thN}$ (V_{thN} はTFT101~106のしきい値とする)となったところで、TFT101がOFFし、ノード α は浮遊状態となる。やがて、SPはLレベルとなり、TFT101、104はOFFする。

【0035】

TFT105に注目すると、今、TFT105のゲート電極の電位は、 $VDD - V_{thN}$ となっている。ここで、TFT105のゲート・ソース間電圧がそのしきい値を上回っている場合、すなわち、 $VDD - V_{thN} - VSS > V_{thN}$ であれば、TFT105がONする。

【0036】

やがて、TFT105のドレイン領域に接続されている入力端子1の電位、すなわちCK1の電位が上昇する。TFT105がONしているので、ソース・ドレイン間に電流が生じ、出力ノード(SROut1)、すなわちTFT105のソース領域の電位が上昇を始める。TFT105のゲート・ソース間には容量手段107による容量結合が存在し、出力ノード(SROut1)の電位上昇に伴い、浮遊状態となっているTFT105のゲート電極の電位が再び上昇する。最終的には、TFT105のゲート電極の電位は、 $VDD + V_{thN}$ よりも高くなり、出力ノード(SROut1)の電位はVDDに等しくなる。2段目以降も同様に、パルスが出力される(SROut2、SROut3)。

【0037】

つまり、TFT103～106を用いて構成される振幅補償回路は、出力端子にパルスを出力する際、TFT101のゲート電極の電位を一時的に浮遊状態とすることにより、容量結合を利用して電源VDDよりも高い電位を実現し、振幅減衰のないパルス出力を得るために用いている。この構成は特に限定せず、何らかの制御用パルスによって、出力端子に接続されたTFTのゲート電極を浮遊状態と出来るならば構成は自由である。

【0038】

SROut1に注目すると、パルスの出力後、やがてCK1はHレベルからLレベルへと変化する。これに伴い、SROut1の電位も下降を始める。一方、CK2がHレベルとなるタイミングで、前述と同様の動作が2段目においてもなされ、SROut2にパルスが出力される。このパルスは、1段目において、入力端子3に入力され、TFT103がONする。これにより、TFT102、106のゲート電極の電位が上昇し、ONする。これに伴い、TFT105のゲート電極の電位、およびSROut1の電位が下降する。その後、SROut2の出力がHレベルからLレベルになると、TFT103がOFFする。よってTFT102、106はこの瞬間、浮遊状態となる。以後、1段目においては次のSPが入力されるまで、この状態が続く。

【0039】

従来例においては、パルスが出力されない期間に、TFT105のゲート電極が浮遊状態となっていたが、本実施形態によると、パルスが出力されない期間に、TFT102、106のゲート電極が浮遊状態となる。ただし、TFT102、106は共にONした状態のまま浮遊状態となっているため、TFT105のゲート電極、および出力ノード(SROut1)の電位は、TFT102、106を介してLレベルに確定される。特に、ドレイン領域にCK1が入力されているTFT105は、OFFした状態が確定されており、そのゲート電極、すなわちノード α に従来例のようなノイズが発生することも無い。

【0040】

よって、図1(C)に示すように、ノード α の電位は、従来例と比較してクロッ

ク信号の影響を受けないものとなっている。従って、回路動作をより安定したものとする事が出来、さらなる低電圧動作が見込める。

【0041】

【実施例】

以下に、本発明の実施例について記載する。

【0042】

[実施例1]

図3は、実施形態にて示したシフトレジスタに、走査方向切り替えの機能を付加したものの例である。図3(A)において、図1(A)に示したシフトレジスタと比較して、走査方向切替信号L/R、L/Rbの入力を追加している。

【0043】

図3(B)は、図3(A)におけるパルス出力回路300の構成を示したものである。パルス出力回路本体の構成は、実施形態にて図1(B)に示したものと同様であるが、入力端子2および入力端子3と、パルス出力回路本体との間に、TF T 311～314を用いて構成された走査方向切替回路330を有する。

【0044】

図3(B)に示すように、TF T 301、304のゲート電極は、TF T 311を介して入力端子2と接続され、TF T 312を介して入力端子3と接続されている。TF T 303のゲート電極は、TF T 313を介して入力端子2と接続され、TF T 314を介して入力端子3と接続されている。TF T 311、314のゲート電極には、走査方向切替信号L/Rが入力され、TF T 312、313のゲート電極には、走査方向切替信号L/Rbが入力される。L/RおよびL/Rbは、排他的にHレベルもしくはLレベルとなり、したがって本実施例の走査方向切替回路は、次の2つの状態をとる。

【0045】

第1に、L/RがHレベル、L/RbがLレベルのとき、TF T 311、314がONし、TF T 312、313がOFFする。よって、TF T 301、304のゲート電極には、入力端子2より信号が入力され、TF T 303のゲート電極には、入力端子3より信号が入力される。

【0046】

第2に、L/RがLレベル、L/RbがHレベルのとき、TFT312、313がONし、TFT311、314がOFFする。よって、TFT301、304のゲート電極には、入力端子3より信号が入力され、TFT303のゲート電極には、入力端子2より信号が入力される。

【0047】

つまり、ここで用いている走査方向切替回路は、入力端子2および3のいずれか一方には前段のパルスを入力し、他方には後段のパルスを入力するといった動作が、外部からの制御によって任意に選択出来るものであれば良い。ここでは、4つのTFT311～314を用いて構成したが、その構成を限定するものではなく、あくまで一例とする。

【0048】

すなわち、第1の状態において、サンプリングパルスの出力は、1段目、2段目、・・・、最終段の順となり、第2の状態において、サンプリングパルスの出力は、最終段、・・・、2段目、1段目の順となる。本発明においては、簡単な回路の追加によってこれらの機能を容易に付加出来る。ここで、本実施例は回路をN型TFTを用いて構成した例であり、P型TFTを用いて構成することも出来る。この場合、当然ながら信号のHレベル、LレベルとTFTのON、OFFの関係は、本実施例とは逆になる。

【0049】

なお、本実施例で示した走査方向切替回路は一例であり、他の構成によって同様の機能を付加しても良い。

【0050】

[実施例2]

図4(A)に示すように、実施形態にて示したシフトレジスタに、初期化信号(INI)を付加する例について説明する。

【0051】

初期化信号(INI)は、図4(B)に示すように、新たに設けたTFT411のゲート電極に入力される。TFT411がONすると、TFT406のゲート電

極の電位が上昇し、TFT406がONして出力ノードの電位がVSSに固定される。

【0052】

このような初期化の動作を、サンプリングパルスの出力が開始される前、すなわち電源投入直後や、図4(C)に示すように、ライン期間450の一部に設けられた帰線期間460中に行うことにより、全段の出力ノードの電位をVSSに固定することが出来る。本発明で示したようなダイナミック回路(少なくとも1つのノードが浮遊状態となって動作する回路)において、スタティック回路と同等の動作信頼性、ノイズ耐性を実現するにあたり、本実施例で示したような、ノードの初期化動作等は有効である。

【0053】

[実施例3]

実施形態において説明したパルス出力回路の動作中における、TFT101、102、105、106の状態に注目する(図6(A))。

【0054】

今、 $k-1$ 段目のパルス出力回路からパルスが出力され、続いて k 段目のパルス出力回路からパルスが出力される際の各ノードの状態を図6(B)に示している。ここで、点線枠601で囲まれた期間、すなわち、 k 段目において、出力ノード(SROut k)の電位上昇に伴い、ブートストラップ動作が行われている期間に注目する。

【0055】

実施形態にて説明したとおり、前段(ここでは $k-1$ 段目)のパルスが出力され、 k 段目の入力端子2に入力されると、TFT101がONし、ノード α の電位は、 $VDD-V_{thN}$ まで上昇する(図6(C))。この状態となったとき、TFT101は、そのゲート・ソース間電圧がしきい値を下回るため、OFFする。よってノード α は、 $VDD-V_{thN}$ の電位となったまま、浮遊状態となる。

【0056】

このとき、ノード α の電位 $<VDD$ となっているので、TFT101において

、ノード α と接続されている側がソース領域、電源VDDと接続されている側がドレイン領域となっている。

【0057】

続いて、クロック信号（CK1）がLレベルからHレベルへと変化すると、TFT105のゲート・ソース間の容量結合により、ノード α の電位が $VDD - V_{thN}$ からさらに上昇する。このとき、ノード α の電位は、VDDよりもさらに V_{thN} 以上高い電位（ここでは、 $VDD - V_{thN} + \Delta V$ と表記）まで上昇することにより、出力端子の電位が電圧降下を起こすことなく、VDDまで十分に上昇することを保証する（図6（D））。

【0058】

このとき、ノード α の電位 $> VDD$ となっているので、TFT101において、ノード α と接続されている側がドレイン領域、電源VDDと接続されている側がドレイン領域となっている。

【0059】

TFT101においては、図6（C）の段階ではゲート・ソース間電圧は $|V_{thN}|$ であり、ゲート・ドレイン間電圧は0である。図6（D）の段階では、ゲート・ソース間電圧は $|V_{SS} - (VDD - V_{thN} + \Delta V)|$ となり、ゲート・ドレイン間電圧は $|V_{SS} - VDD|$ となる。よって、TFT101においては、出力端子にパルスが出力される瞬間、図6（C）から図6（D）の状態に遷移することによって、ゲート・ソース間、ゲート・ドレイン間とも、負の大きな値のバイアス電圧が印加されるために大きなストレスがかかり、劣化の要因となる。

【0060】

この対策として、図7（A）に示すように、TFT101の接続を変更する。実施形態において、TFT101のソース領域とドレイン領域は、一方は電源VDDに、他方はノード α に接続されていたが、電源VDDに接続されていた側を、ゲート電極、すなわち入力端子2と接続する。

【0061】

この構成で、先程と同様の動作をする場合、TFT101の状態について説明

する。図 7 (B) に示す状態が、図 6 (C) に示した状態に該当し、図 7 (C) に示す状態が、図 6 (D) に示した状態に該当する。図 7 (B) において、TFT101 のゲート・ソース間電圧は $|V_{thN}|$ であり、ゲート・ドレイン間電圧は、ノードが接続されているので常に 0 となる。図 7 (C) において、TFT101 のゲート・ソース間電圧は $|V_{SS} - (V_{DD} - V_{thN} + \Delta V)|$ に変化するが、ゲート・ドレイン間電圧は 0 で変化しない。

【0062】

よって、実施形態に示した構成に対し、ゲート・ドレイン間に負の大きな値のバイアス電圧が印加されないため、ストレスによる TFT101 の劣化を抑制することが出来る。

【0063】

また、TFT101 に印加される負のバイアス電圧による劣化を抑制する他の構成としては、図 8 (A) に示すように、TFT101 と TFT102 の間に、ゲート電極を電源 VDD に接続した TFT801 を設ける構成が挙げられる。

【0064】

この構成で、先程と同様の動作をする場合について説明する。図 8 (B) に示す状態が、図 7 (B) に示した状態に該当し、図 8 (C) に示す状態が、図 7 (C) に示した状態に該当する。図 8 (B) において、TFT101 のゲート・ソース間電圧は $|V_{thN}|$ であり、ゲート・ドレイン間電圧は、ノードが接続されているので常に 0 となる。TFT801 のゲート電極の電位は VDD であるから、この TFT によるソース・ドレイン間での電圧降下はここでは生じない。つまり、ノード α の電位は、 $V_{DD} - V_{thN}$ となる。

【0065】

続いて、図 8 (C) の状態となったとき、ノード α の電位は $V_{DD} - V_{thN} + \Delta V$ まで上昇するが、TFT801 が設けられたことにより、TFT101 のソース領域の電位は、 $V_{DD} - V_{thN}$ 以上には上昇しない。つまり、図 7 (C) に示した状態と比較して、ゲート・ソース間に印加される負のバイアス電圧の値が小さくなる。TFT801 においては、ソース領域の電位は $V_{DD} - V_{thN}$ 、ドレイン領域の電位は $V_{DD} - V_{thN} + \Delta V$ であり、ゲート電極の電位は

VDDで変化しないため、TFT801における負のバイアス電圧は小さい。

【0066】

よって、図7の構成と比較して、TFTのゲート・ソース間に印加される負のバイアス電圧も小さく出来るため、ストレスによるTFT101の劣化をさらに抑制することが出来る。

【0067】

図8(A)にて設けたTFT801は、図9(A)にTFT901として示すように、TFT101のソース領域と、TFT105のゲート電極、すなわちノード α との間に設けても、図9(B)(C)で示すように、同様の効果が得られる。

【0068】

さらに、図10(A)に示すように、TFT901のゲート電極とドレイン電極とを接続して、ダイオードのように整流性のある構成としても良い。この構成においても、図10(B)(C)に示すように、TFT101のソース領域の電位は $VDD - V_{thN}$ に保たれ、負の大きな値のバイアス電圧が印加されない。

【0069】

ただし、次段のパルスが出力され、当段のパルスがHレベルからLレベルに変化する際、TFT102がONして、TFT101のソース領域の電位がVSSとなっても、TFT901のソース領域からドレイン領域への電流は生じないため、ノード α に貯まった電荷を開放する経路が無い。よってここでは、TFT1001を設けることにより、次段のパルス出力によって、TFT1001がONし、ノード α の電位を下げるようにしている。

【0070】

[実施例4]

実施形態、および実施例1、2において示した構成によると、回路は全てN型TFTを用いて構成されていたが、単極性のTFTを用いるという点で、P型TFTのみを用いて同様の構成としても良い。ここでは特に図示しないが、TFTの接続は同様で良く、電源電位の高低を、実施形態および実施例1、2の場合とは逆とすれば良い。また、入力される信号のHレベル、Lレベルも全て逆として

入力される。

【0071】

[実施例 5]

本発明は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図5に示す。

【0072】

図5(A)は液晶ディスプレイ(LCD)であり、筐体3001、支持台3002、表示部3003等により構成されている。本発明は、表示部3003に適用が可能である。

【0073】

図5(B)はビデオカメラであり、本体3011、表示部3012、音声入力部3013、操作スイッチ3014、バッテリー3015、受像部3016等により構成されている。本発明は、表示部3012に適用が可能である。

【0074】

図5(C)はノート型のパーソナルコンピュータであり、本体3021、筐体3022、表示部3023、キーボード3024等により構成されている。本発明は、表示部3023に適用が可能である。

【0075】

図5(D)は携帯情報端末であり、本体3031、スタイラス3032、表示部3033、操作ボタン3034、外部インターフェイス3035等により構成されている。本発明は、表示部3033に適用が可能である。

【0076】

図5(E)は音響再生装置、具体的には車載用のオーディオ装置であり、本体3041、表示部3042、操作スイッチ3043、3044等により構成されている。本発明は表示部3042に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

【 0 0 7 7 】

図 5 (F) はデジタルカメラであり、本体 3 0 5 1、表示部(A) 3 0 5 2、接眼部 3 0 5 3、操作スイッチ 3 0 5 4、表示部(B) 3 0 5 5、バッテリー 3 0 5 6 等により構成されている。本発明は、表示部(A) 3 0 5 2 および表示部(B) 3 0 5 5 に適用が可能である。

【 0 0 7 8 】

図 5 (G) は携帯電話であり、本体 3 0 6 1、音声出力部 3 0 6 2、音声入力部 3 0 6 3、表示部 3 0 6 4、操作スイッチ 3 0 6 5、アンテナ 3 0 6 6 等により構成されている。本発明は、表示部 3 0 6 4 に適用が可能である。

【 0 0 7 9 】

なお、本実施例に示した例はごく一例であり、これらの用途に限定しないことを付記する。

【発明の効果】

本発明によって、表示装置の駆動回路および画素部を、単一導電型の T F T のみによって構成することが可能となり、表示装置の作製工程を削減することによって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態を示す図。

【図 2】 単極性のトランジスタを用いて構成された、従来のシフトレジスタとパルス出力回路の構成を示す図。

【図 3】 本発明の一実施例を示す図。

【図 4】 本発明の一実施例を示す図。

【図 5】 本発明が適用可能な電子機器の例を示す図。

【図 6】 本発明のパルス出力回路における、動作中の T F T に対するストレスについて示す図。

【図 7】 ストレス低減のための構成を加えた、本発明の一実施例を示す図。

【図 8】 ストレス低減のための構成を加えた、本発明の一実施例を示す図。

。

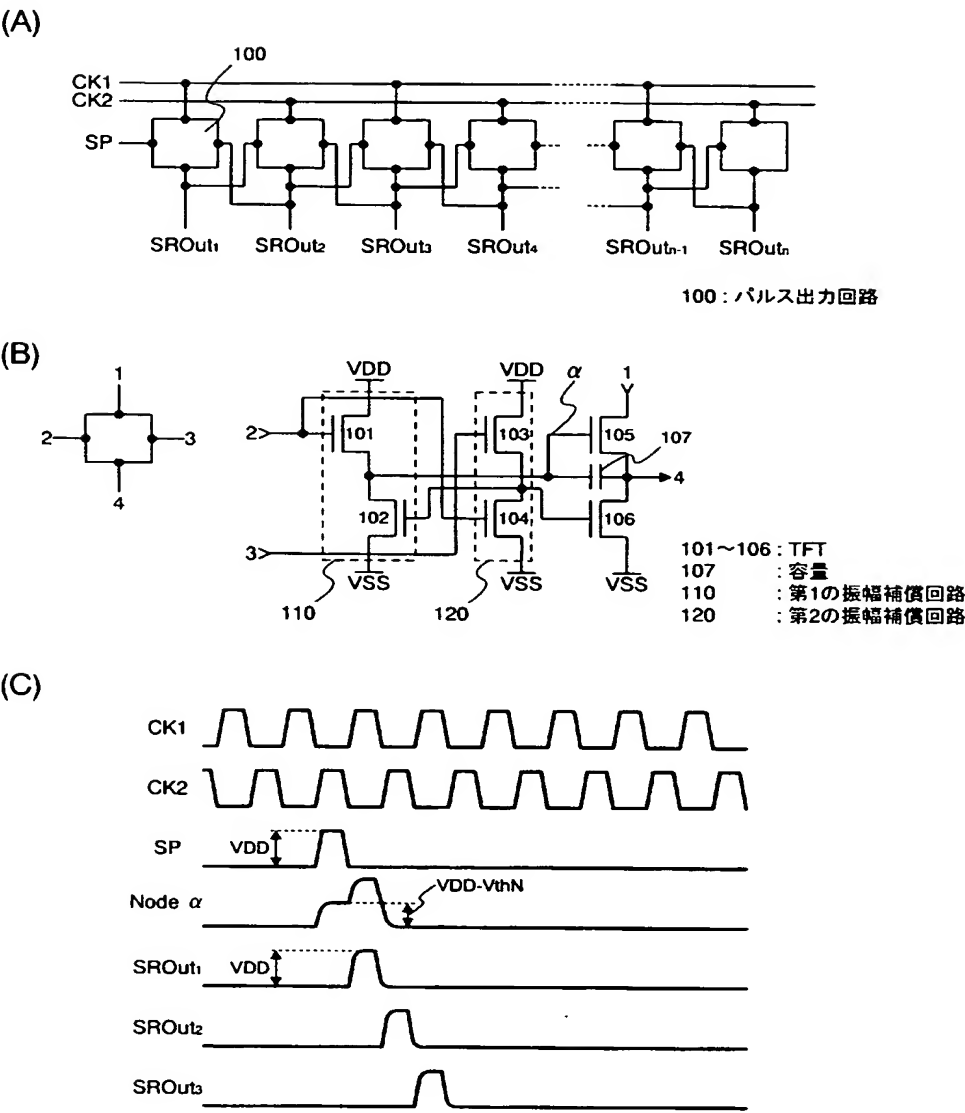
【図 9】 ストレス低減のための構成を加えた、本発明の一実施例を示す図

。

【図 1 0】 ストレス低減のための構成を加えた、本発明の一実施例を示す図。

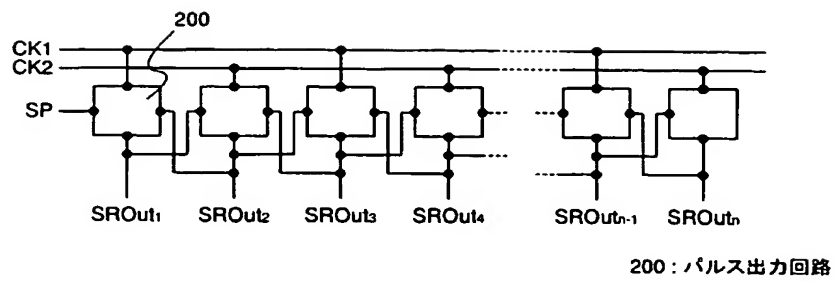
【書類名】 図面

【図 1】

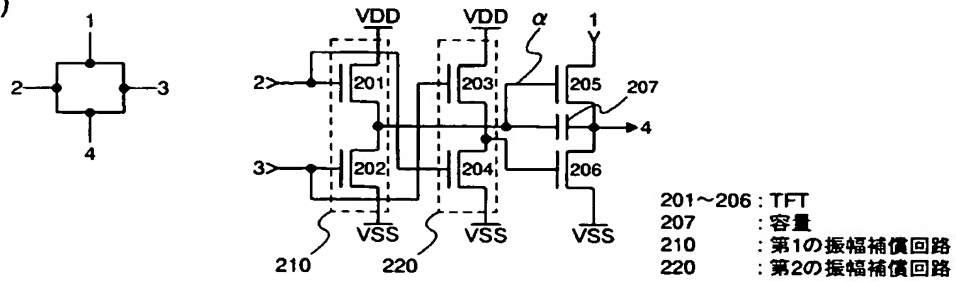


【図 2】

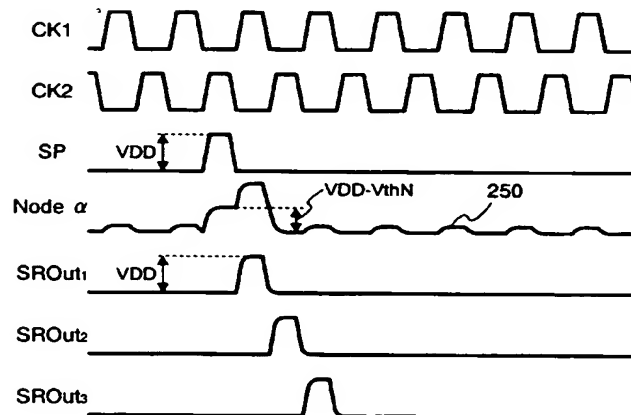
(A)



(B)

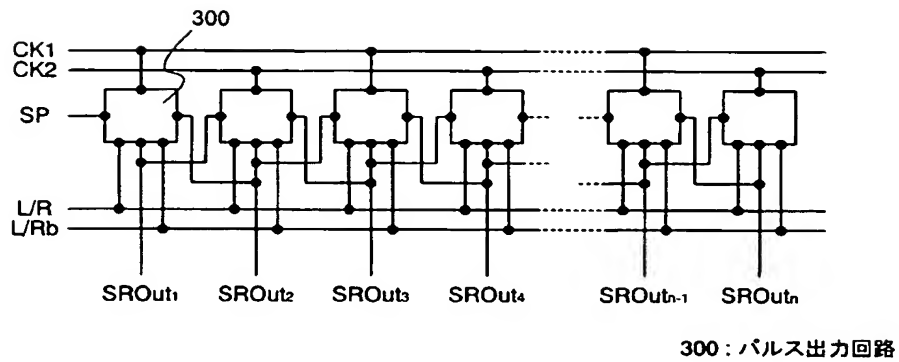


(C)

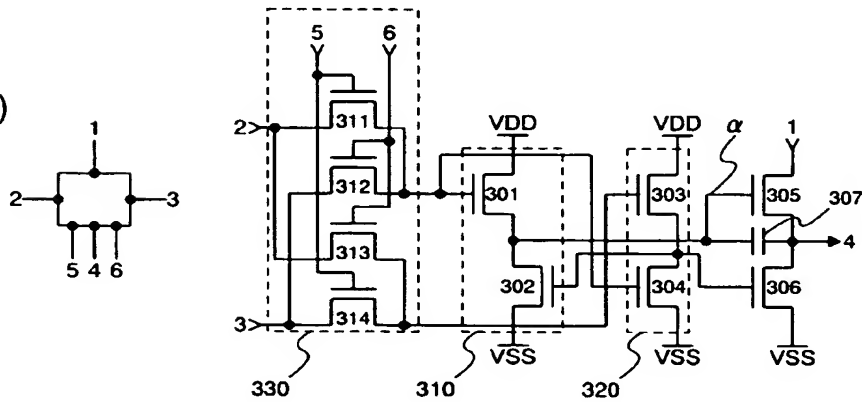


【図 3】

(A)

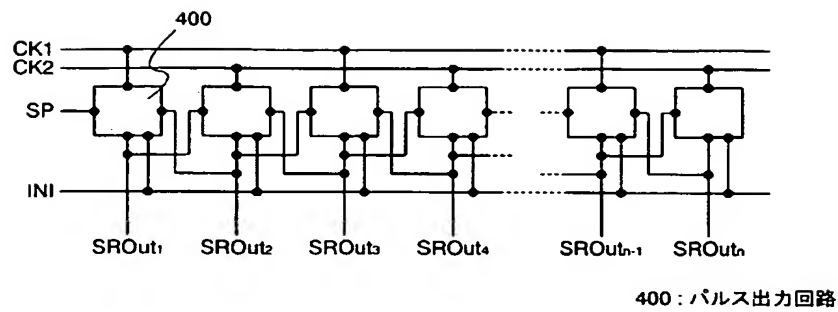


(B)

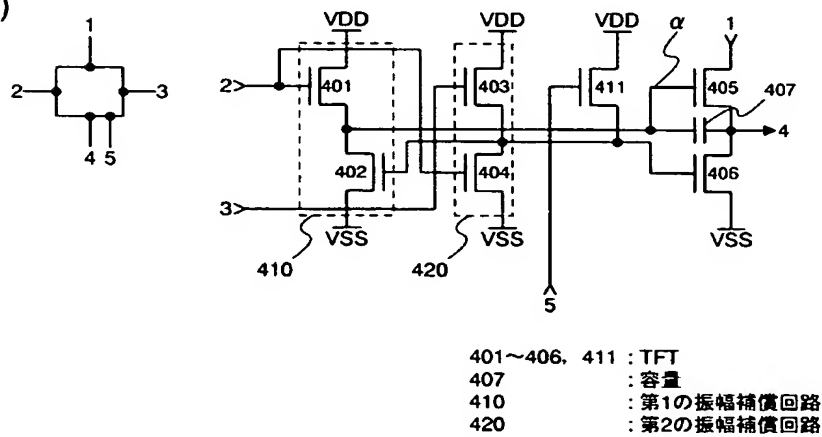


【図 4】

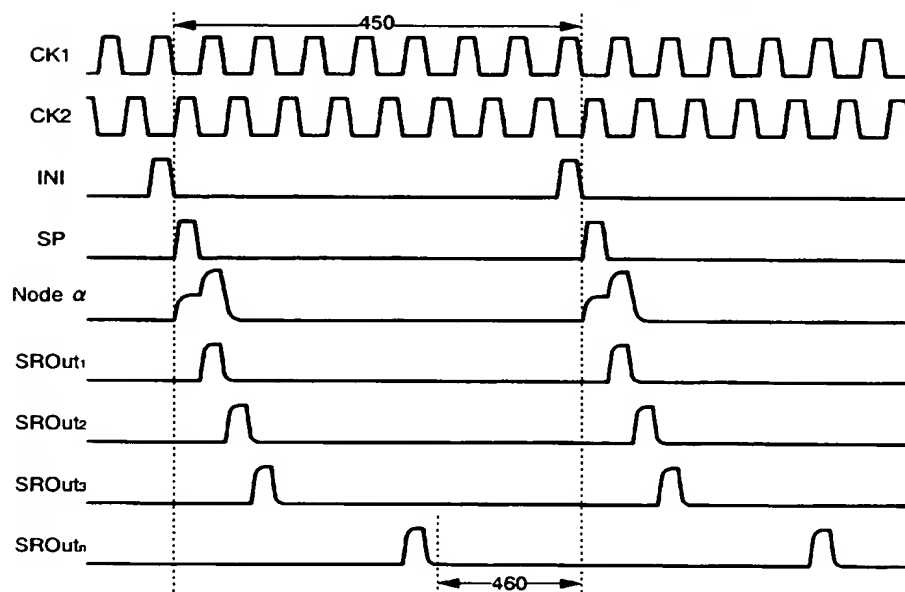
(A)



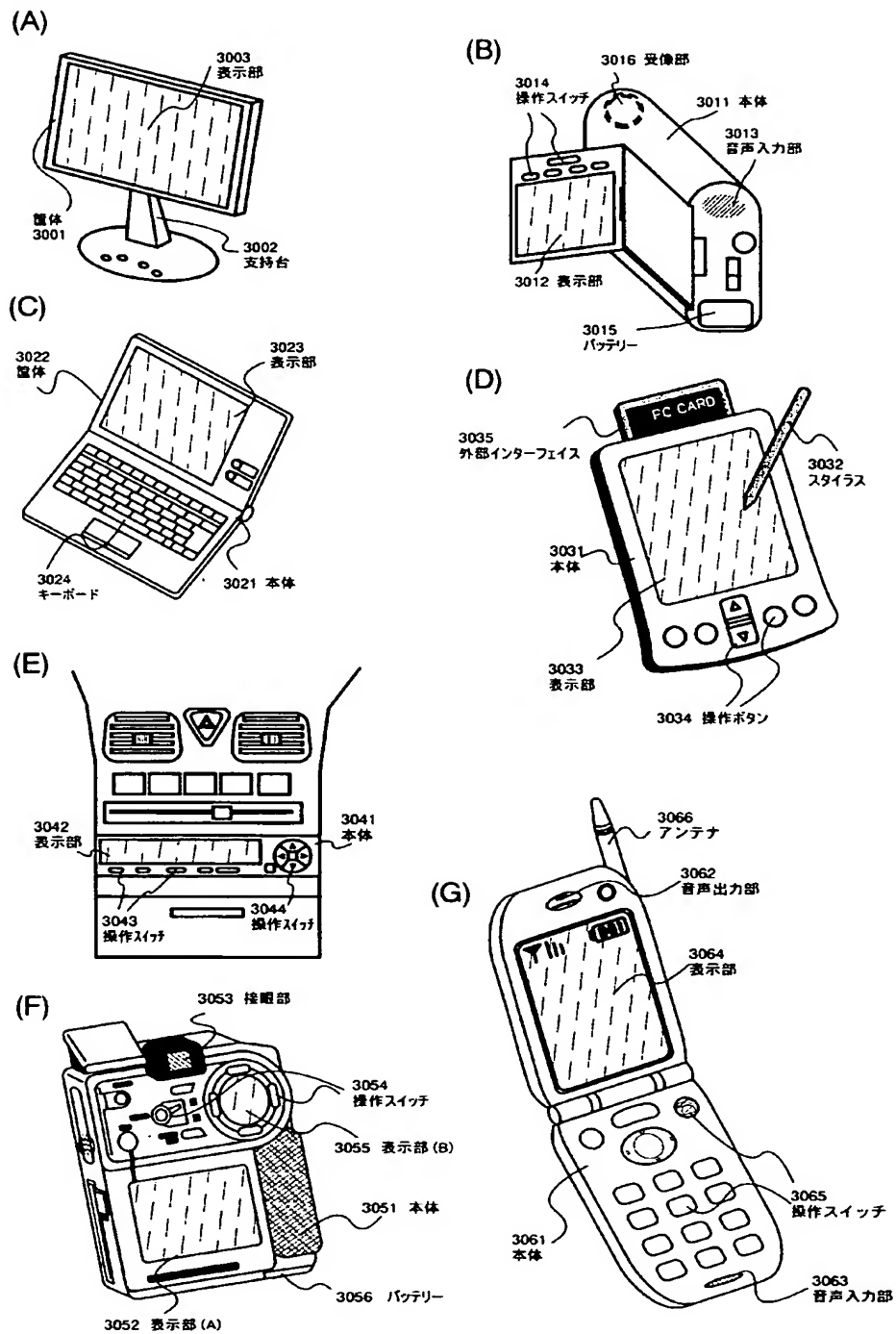
(B)



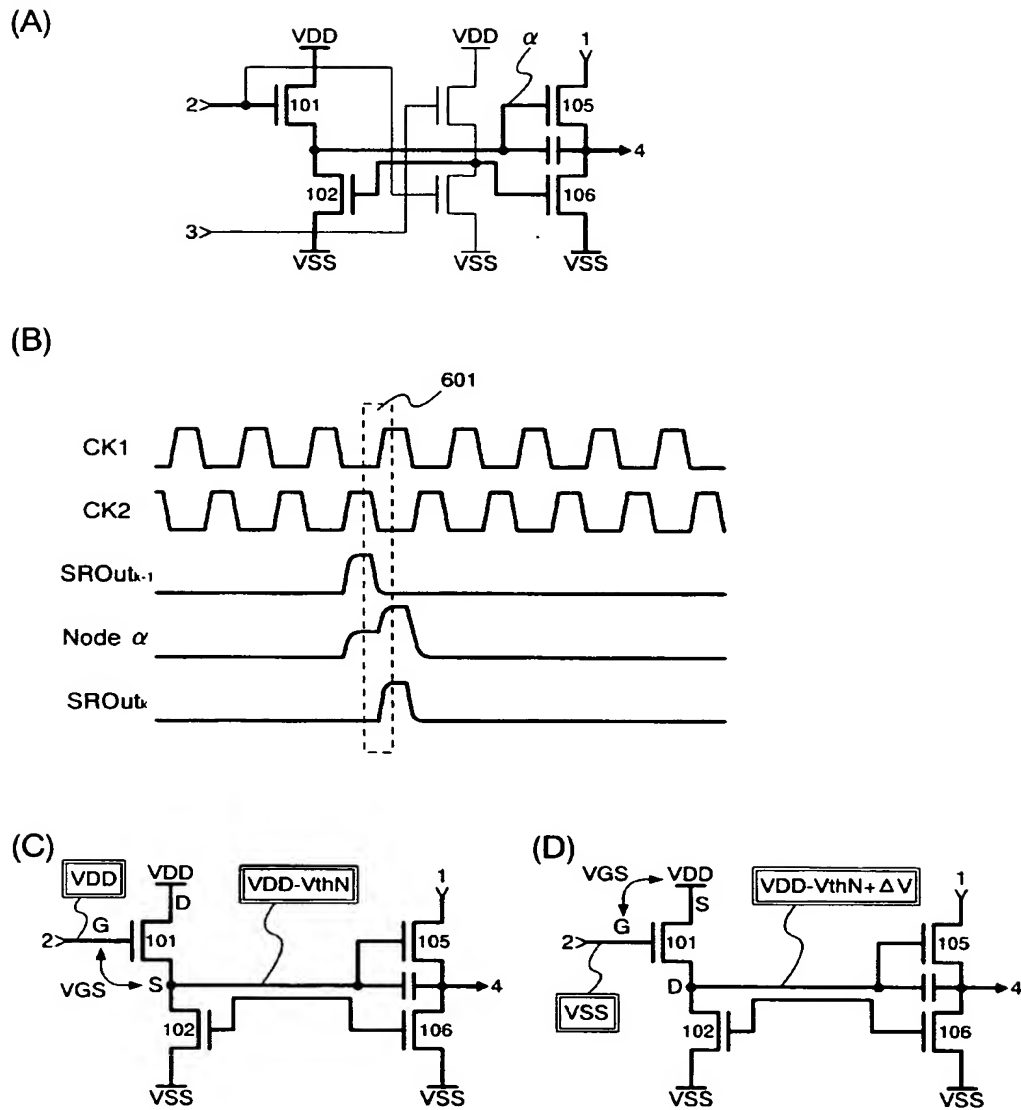
(C)



【図 5】

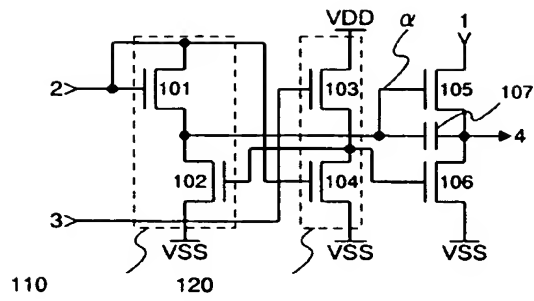


【図 6】

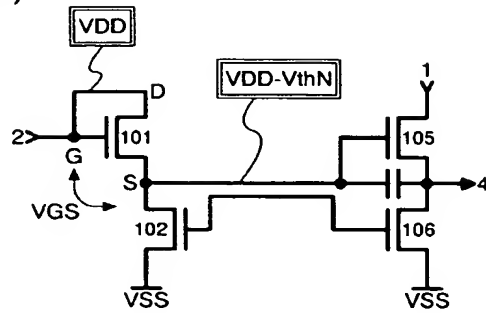


【図 7】

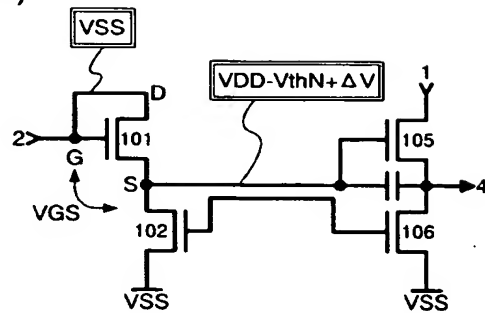
(A)



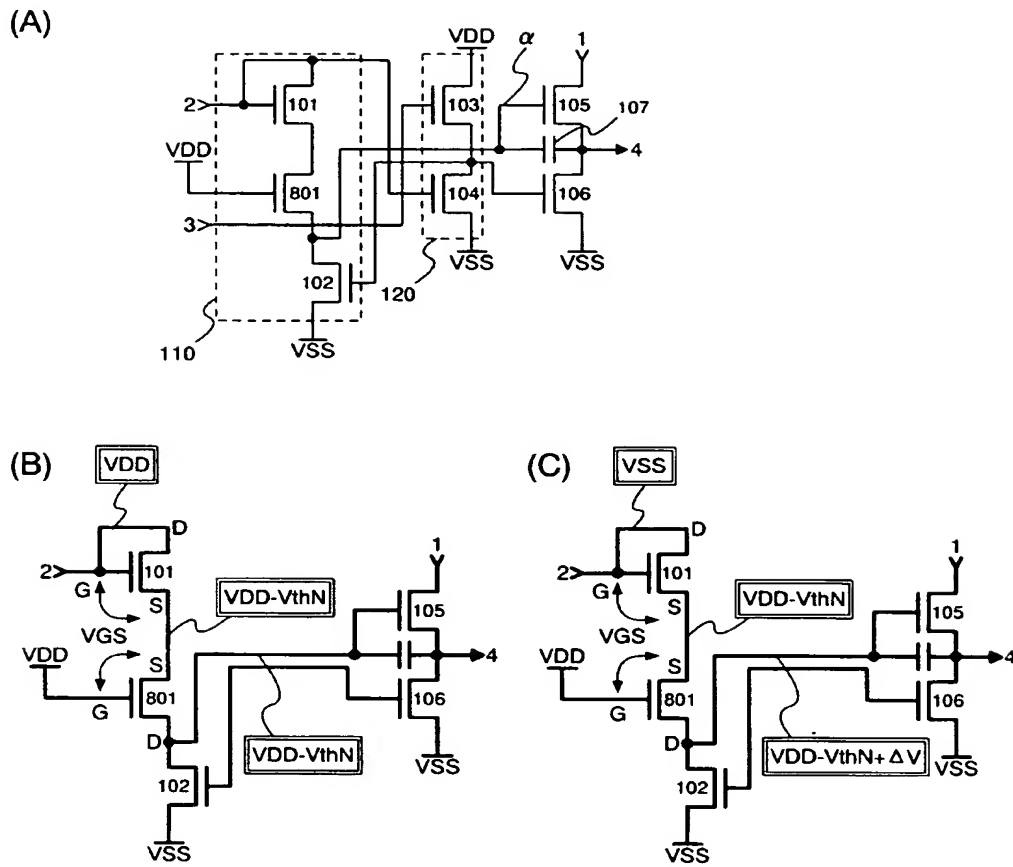
(B)



(C)

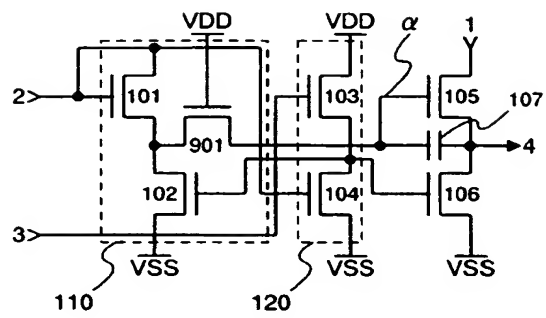


【図 8】

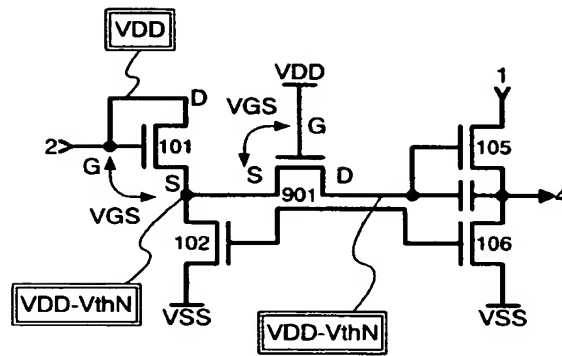


【図 9】

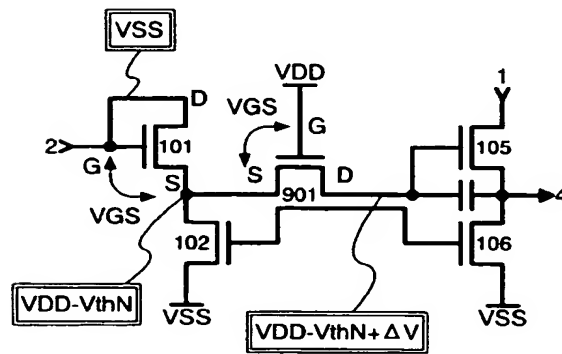
(A)



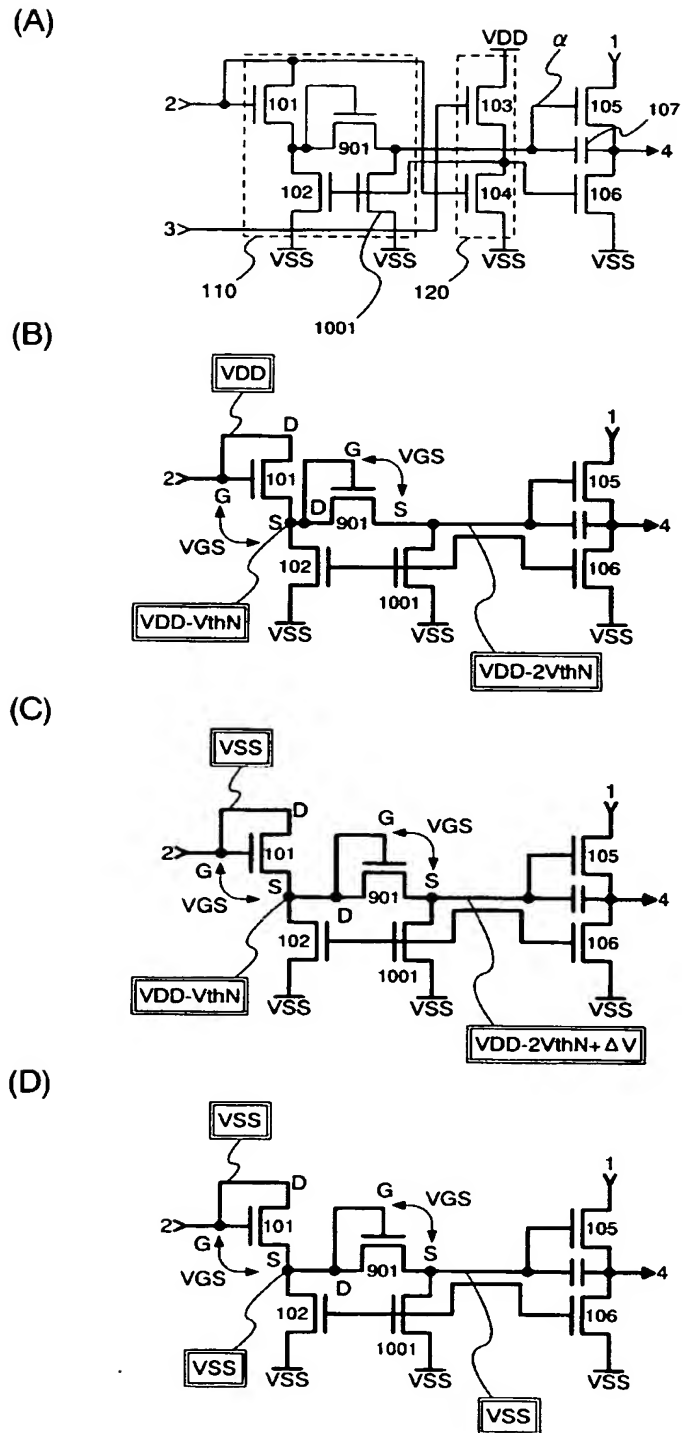
(B)



(C)



【図 10】



【書類名】 要約書

【要約】

【課題】 単一導電型のTFTによって構成され、かつ出力信号の振幅を正常に得られる表示装置の駆動回路を提供する。

【解決手段】 TFT101、104にパルスが入力されてONし、ノード α の電位が上昇した後、 $(VDD - V_{thN})$ となったところで浮遊状態となる。よってTFT105がONし、クロック信号がHレベルとなるのに伴って出力ノードの電位が上昇する。一方、TFT105のゲート電極の電位は、出力ノードの電位上昇に伴い、容量107の働きによってさらに上昇し、 $(VDD + V_{thN})$ より高くなる。よって出力ノードの電位は、TFT105のしきい値によって電圧降下することなくVDDまで上昇する。その後、次段出力がTFT103に入力されてONし、さらにTFT102、106ノード α の電位は下降してTFT105がOFFし、出力ノードの電位はLレベルとなる。

【選択図】 図1

特願 2 0 0 3 - 0 1 0 3 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所